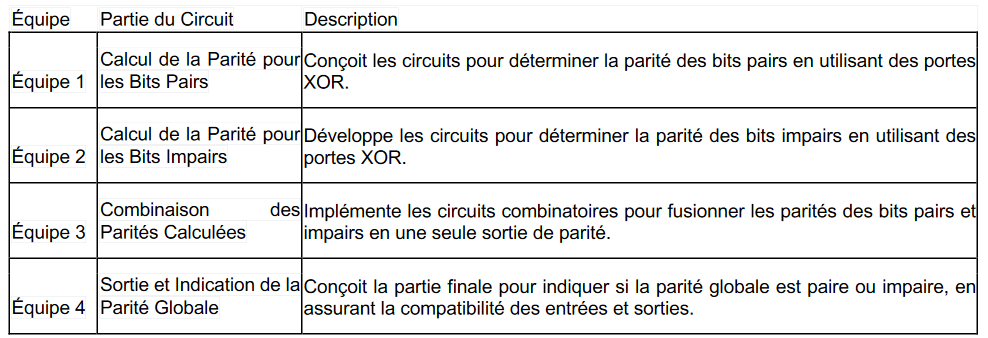
Licence SPI – Sciences 3 SNI 3 (VHDL 1/FPGA)



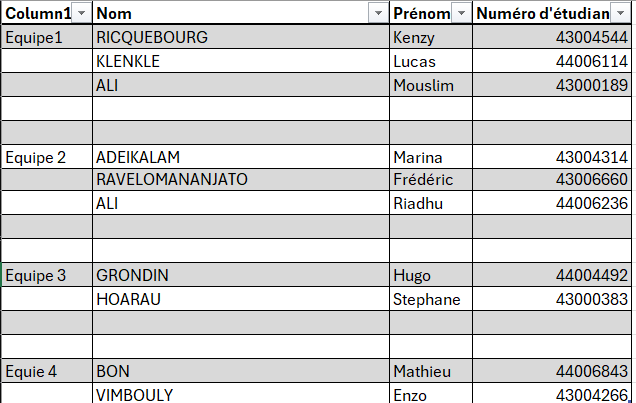
**4 Teams Project 1 : Détecteur de Parité – VHDL/FPGA 1 –**

**Découverte GitHub**

# Description des différentes parties pour le code VHDL :



## Présentation des différentes équipé et leurs noms :



# Sommaire :

[Description des différentes parties pour le code VHDL : 1](#_Toc1523629801)

[Présentation des différentes équipé et leurs noms : 2](#_Toc833221449)

[Sommaire : 2](#_Toc592341253)

[Intro : 2](#_Toc118027198)

[Equipe 1 : Calcul de la Parité pour les Bits Pairs 3](#_Toc1435142059)

[Question 1. Donner la table de vérité de Parity\_Even\_Out ? 3](#_Toc64984032)

[Equipe 2 : Calcul de la Parité pour les Bits Impairs 4](#_Toc1754668940)

[Question 2. Donner la table de vérité de Parity\_Odd\_Out ? 4](#_Toc785951861)

[Equipe 3 : Combinaison des Parités Calculées 5](#_Toc163064230)

[Question 3. Donner la table de vérité de Global\_Parity ? 5](#_Toc1638070491)

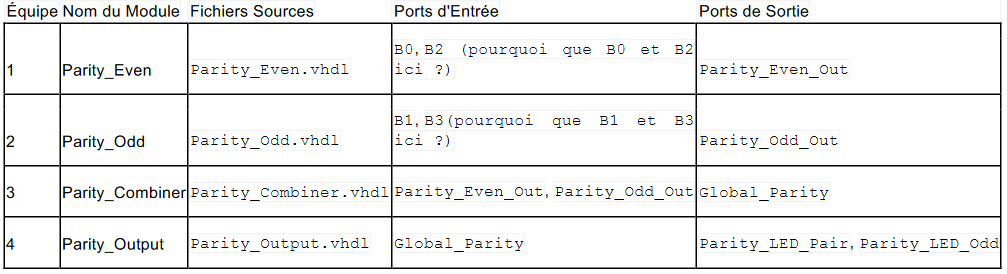
[Équipe 4 : Sortie et Indication de la Parité Globale 6](#_Toc275436839)

[Schématique : 7](#_Toc18089867)

[Device : 7](#_Toc1054516)

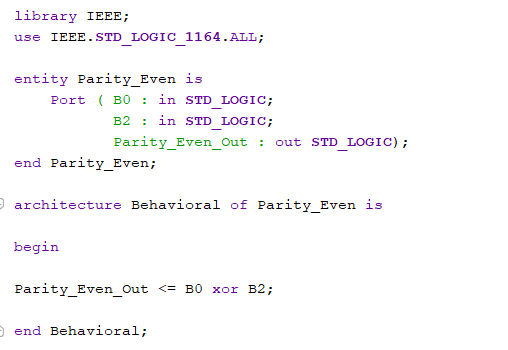
# Intro :

Nous avons donc les consignes pour chaque groupe numéroté respectivement de 1 à 4

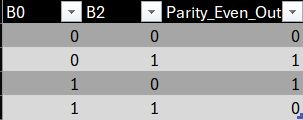


## Equipe 1 : Calcul de la Parité pour les Bits Pairs

Cette équipe est responsable de la création du module `Parity\_Even`, qui calcule la parité des bits pairs (`B0` et `B2`) en utilisant une porte XOR.

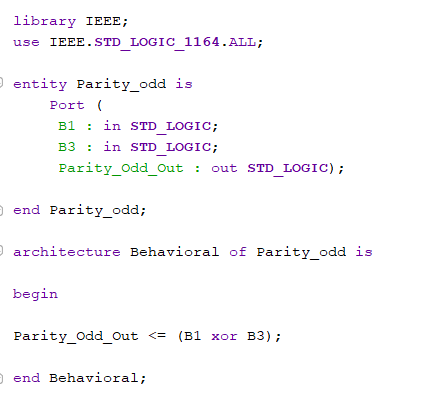


### Question 1. Donner la table de vérité de Parity\_Even\_Out ?

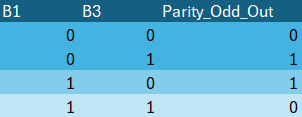


## Equipe 2 : Calcul de la Parité pour les Bits Impairs

Cette équipe développe le module `Parity\_Odd` qui calcule la parité des bits impairs (`B1` et `B3`) en utilisant une porte XOR.

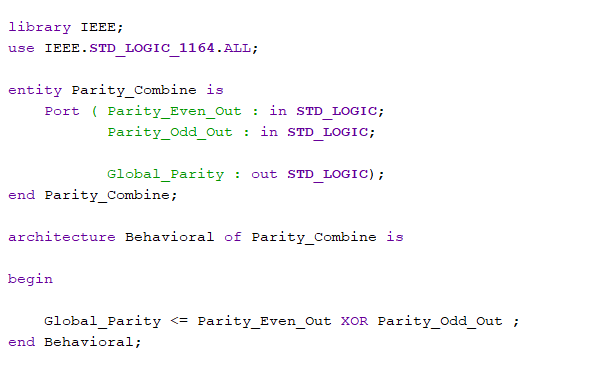


### Question 2. Donner la table de vérité de Parity\_Odd\_Out ?

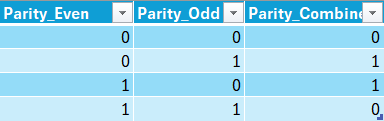


## Equipe 3 : Combinaison des Parités Calculées

Cette équipe est chargée du module `Parity\_Combiner`, qui combine les parités calculées (`Parity\_Even\_Out` et `Parity\_Odd\_Out`) pour obtenir la parité globale en utilisant une porte XOR.

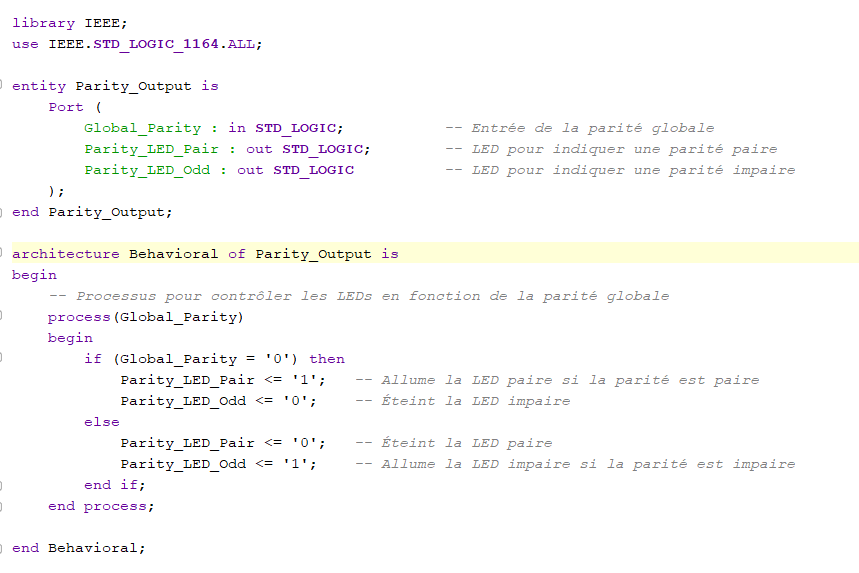


### Question 3. Donner la table de vérité de Global\_Parity ?

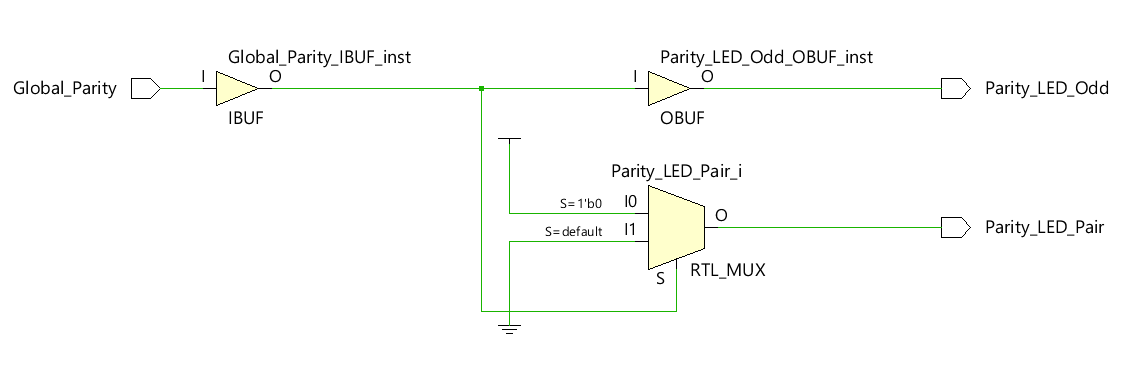


## Équipe 4 : Sortie et Indication de la Parité Globale

Cette équipe développe le module `Parity\_Output`, qui indique visuellement si la parité globale est paire ou impaire en utilisant des LEDs sur la carte Basys 3.



### Schématique :



### Device :

